

MATERIA:	IEE953 DISPOSITIVOS LÓGICOS PROGRAMABLES , Abril 2017 - Septiembre 2017 (2017A)		Semana Académica										
PROFESOR:	Patricio Chico H.												
OBJETIVO:	Al finalizar el curso el estudiante debe ser capaz de : Entender las filosofías y criterios usados en la creación de los Dispositivos Lógicos Programables, Analizar y entender la estructura interna de los FPGA, Aprender el uso de las herramientas de desarrollo para la plataforma seleccionada (XILINX), Aprender un lenguaje de bajo nivel para desarrollo de aplicaciones en la plataforma seleccionada(VHDL),Diseñar y desarrollar aplicaciones con la plataforma seleccionada												
CONTENIDO:	Historia y filosofía del desarrollo de los Dispositivos Lógicos Programables Estructura interna de los FPGA, Estructura interna de los FPGA XILINX Herramientas de desarrollo para generación de aplicaciones en FPGA El lenguaje VHDL Diseño de circuitos lógicos combinacionales y secuenciales usando FPGA Uso de bloques funcionales avanzados Síntesis de circuitos lógicos complejos, aplicaciones												
PLANIFICACIÓN MICROCURRICULAR													
	FECHA	TEMA											
	19-abr MIER/ 8 -11	Introducción, Desarrollo de los Dispositivos Lógicos Programables Estructura interna de los FPGA XILINX, conocimiento de la tarjeta de desarrollo, Instalación del software	1										
	26-abr MIER/ 8 -11	Conocimiento de las Herramientas de Desarrollo Elementos del Lenguaje VHDL	2										
	03-may MIER/ 8 -11	PRUEBA 1 I BIMESTRE Ejercicios de diseño de sistemas combinacionales/ uso del simulador	3										
	10-may MIER/ 8 -11	Técnicas y modelos de programación en lenguaje VHDL Técnicas de diseño de sistemas combinacionales	4										
	17-may MIER/ 8 -11	Diseño de sistemas combinacionales complejos Ejercicios de diseño de sistemas combinacionales complejos	5										
	24-may MIER/ 8 -11	PRUEBA 2 I BIMESTRE Desarrollo de una aplicación secuencial. incluyendo el manejo de la perilla	6										
	31-may MIER/ 8 -11	Técnicas de diseño de circuitos secuenciales, contadores Técnicas de diseño de circuitos secuenciales , manejo de la perilla	7										
	07-jun MIER/ 8 -11	Máquinas de estado Máquinas FSM de Moore y de Mealy/ uso PicoBlaze	8										
	14-jun MIER/ 8 -11	PRUEBA 3 I BIMESTRE (ENTREGAR PRIMERA NOTA HASTA 18 JUNIO) Desarrollo de una aplicación secuencial compleja.	9										
	21-jun MIER/ 8 -11	Síntesis del procesador PicoBlaze en la tarjeta del FPGA Ejercicios con el uso de PicoBlaze	10										
	28-jun MIER/ 8 -11	Desarrollo de aplicaciones el LabView con el Spartan 3E Manejo de un LCD con LabView y la tarjeta del FPGA	11										
	05-jul MIER/ 8 -11	PRUEBA 1 II BIMESTRE Desarrollo de un aplicación que incluya FSM y PicoBlaze	12										
	12-jul MIER/ 8 -11	Ejercicios de manejo de LabView y la tarjeta FPGA manejo de conversores AD y DA	13										
	19-jul MIER/ 8 -11	Ejercicios de manejo de LabView (SEMANA DE INTEGRACIÓN POLITÉCNICA)											
	26-jul MIER/ 8 -11	PRUEBA 2 II BIMESTRE Desarrollo de un aplicación con LabView	14										
	02-ago MIER/ 8 -11	Manejo del MATLAB para generar aplicaciones para FPGA Aplicaciones del System Generator de Matlab	15										
	09-ago MIER/ 8 -11	Manejo del MATLAB para generar aplicaciones para FPGA Aplicaciones del System Generator de Matlab	16										
	16-ago MIER/ 8 -11	PRUEBA 3 II BIMESTRE...ÚLTIMA CLASE: 17 Agosto (Notas hasta 21 Agosto)	17										
	18 Ago - 21 Ago	Estudios libres											
	22 Ago - 26 Ago	EXAMENES SUPLETORIOS ENTREGA DE NOTAS HASTA EL 27 DE AGOSTO											
EVALUACIÓN:	<table border="0"> <tr> <td>PRIMER BIMESTRE</td> <td>SEGUNDO BIMESTRE</td> </tr> <tr> <td>Prueba 1 30%</td> <td>Prueba 1 30% (Acumulativa)</td> </tr> <tr> <td>Prueba 2 30% (Acumulativa)</td> <td>Prueba 2 30% (Acumulativa)</td> </tr> <tr> <td>Prueba 3 30% (Acumulativa)</td> <td>Prueba 3 30% (Acumulativa)</td> </tr> <tr> <td>Deberes 10%</td> <td>Deberes 10%</td> </tr> </table>		PRIMER BIMESTRE	SEGUNDO BIMESTRE	Prueba 1 30%	Prueba 1 30% (Acumulativa)	Prueba 2 30% (Acumulativa)	Prueba 2 30% (Acumulativa)	Prueba 3 30% (Acumulativa)	Prueba 3 30% (Acumulativa)	Deberes 10%	Deberes 10%	
PRIMER BIMESTRE	SEGUNDO BIMESTRE												
Prueba 1 30%	Prueba 1 30% (Acumulativa)												
Prueba 2 30% (Acumulativa)	Prueba 2 30% (Acumulativa)												
Prueba 3 30% (Acumulativa)	Prueba 3 30% (Acumulativa)												
Deberes 10%	Deberes 10%												
BIBLIOGRAFIA:	Lluís Terés, Yago Torroja, y otros, "VHDL, Lenguaje Estándar de Diseño Electrónico", Mc Graw Hill Fernando Parado, José A. Boluda, "VHDL, Lenguaje de Síntesis y Modelado de Circuitos", Alfaomega XILINX, Manuales varios												
COMENTARIO:	En este semestre se tomará como base la tarjeta de desarrollo basada en el FPGA SPARTAN 3E de XILINX para el estudio de las características y funcionamiento de unFPGA, pero en lo posible todos los conceptos se los dará en forma general de manera que se pueda extender el conocimiento a sistemas basados en otras plataformas.												
POLITICA DE HONESTIDAD:	Se espera que el estudiante tenga un comportamiento adecuado durante este curso mostrando interés en el mismo. Un requisito indispensable es la honestidad en los trabajos y pruebas que se le asigne. Copias exactas de deberes o trabajos, pruebas y exámenes o con un porcentaje muy alto de similitud serán sancionados con una nota de cero (tanto el que copia como el que facilita la copia), incluye copias literales de textos o trabajos de semestres anteriores. También se notificará a las autoridades correspondientes.												