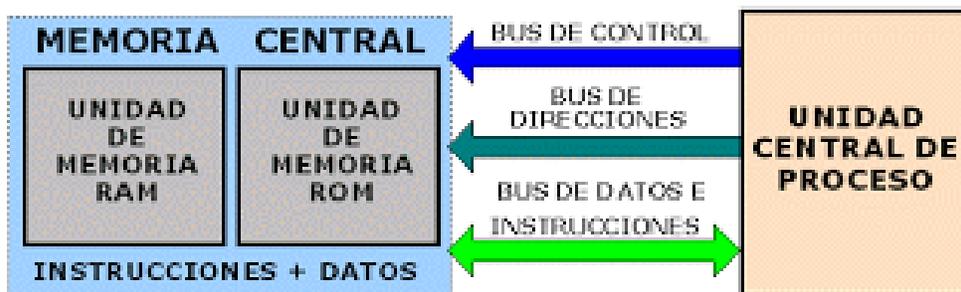


# ARQUITECTURA DE VON NEUMANN Y HARVARD

## ARQUITECTURA VON NEUMANN

En esta arquitectura se observa que las computadoras utilizan el mismo dispositivo de almacenamiento para datos e instrucciones conectados mediante únicos bus de datos y bus de direcciones. Actualmente las computadoras de uso general utilizan esta arquitectura. Tienen el inconveniente que solamente puede llevar datos o instrucciones en un determinado momento, por lo que no es muy conveniente para sistemas que usan pipelines.

## ARQUITECTURA VON NEUMANN



## ARQUITECTURA HARVARD

En esta arquitectura se utilizan dispositivos de almacenamiento (memorias) separados para las instrucciones y los datos, y tiene dos sistemas completos de buses, uno para datos y otro para instrucciones. Esta arquitectura permite llevar simultáneamente datos e instrucciones por lo que permite mayor rapidez.

## ARQUITECTURA HARVARD



	Arquitectura Von Neumann	Arquitectura Harvard
Fecha de creación	1945	1947
Primera Computadora	ENIAC	MARK I
Estructura	La UCP se comunica a través de un solo bus con un banco de memoria en donde se almacenan los códigos de instrucción del programa, como los datos que serán procesados por este.	Tiene un bus separado para el programa y otro para los datos. Así se evita el problema del cuello de botella de Von Newman y se obtiene un mejor desempeño
Memoria	Memoria de Datos Memoria de Instrucciones	Memoria Ram Memoria Rom Memoria Cache
Buses	Bus de Datos Bus de Direcciones Bus de Control	Bus de Datos Bus de Direcciones
Tipo de computadora	Supercomputadoras	Supercomputadoras
Semejanzas	Guardan información	Guardan información
Diferencias	Un solo bus de datos comunica Es la más utilizada aunque es más lenta	Son dos buses independientes Mayor velocidad aunque no tan utilizada

## PROCESADORES CISC / RISC

### PROCESADOR CISC

#### Computador con Conjunto de Instrucciones Complejo (Complex Instruction Set Computing(CISC)).

Arquitectura de microprocesador caracterizada por ejecutar un conjunto de instrucciones complejas, estas instrucciones pueden realizar funciones muy específicas, en contraposición a la arquitectura RISC.

#### Arquitecturas CISC

- Computador con repertorio de instrucciones complejo.
- Gran número de instrucciones complejas.
- Gran variedad de tipos de datos y de modos de direccionamiento.
- Permite implementar instrucciones de alto nivel directamente o con un número pequeño de instrucciones ensamblador.
- Además se pueden añadir nuevas instrucciones al repertorio manteniendo las antiguas.
- El objetivo principal de la arquitectura CISC es completar una tarea en el menor número de líneas de código ensamblador posibles. Este objetivo es conseguido mediante la construcción de un microprocesador capaz de comprender y ejecutar una serie de operaciones complejas.
- Una de las ventajas principales de esta filosofía es que el compilador tiene que hacer muy poco trabajo para traducir un lenguaje de alto nivel a ensamblador. Además, debido a que la longitud del código es relativamente corta, hace falta poca RAM para almacenar las instrucciones. Pero la

dificultad está en construir instrucciones complejas directamente en hardware.

## PROCESADOR RISC

### Computador con Conjunto de Instrucciones Reducido (Reduced Instruction Set Computing(CISC)).

### Arquitecturas RISC Computadora con Conjunto de Instrucciones Reducidas

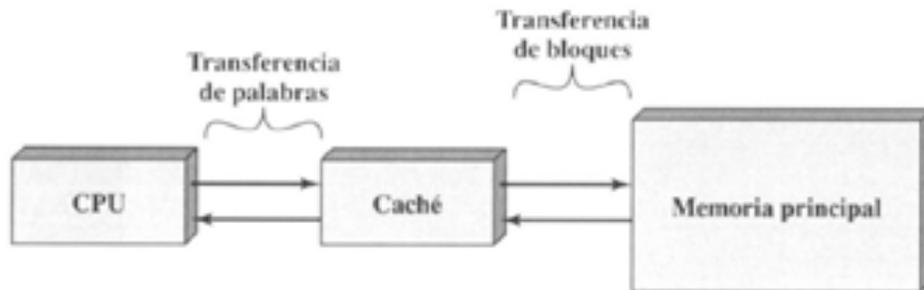
- Computador con repertorio de instrucciones reducido.
- Pocas instrucciones y muy básicas.
- Repertorio simple y ortogonal.
- Formatos de instrucción uniformes.
- Pocos tipos de datos y de modos de direccionamiento, siempre los más sencillos.
- RISC es una filosofía de diseño de CPU para computadora que está a favor de conjuntos de instrucciones pequeñas y simples que toman menor tiempo para ejecutarse
- El diseño RISC está basado en la premisa de que la mayoría de las instrucciones que una computadora decodifica y ejecuta son simples. Como resultado de este concepto, la arquitectura RISC limita el número de instrucciones incorporadas en el microprocesador, pero optimiza cada una de ellas de forma que se ejecuten muy rápidamente (generalmente en un solo ciclo de reloj). Por lo tanto, los chips RISC ejecutan las instrucciones simples más rápidamente que los microprocesadores que cuentan con un conjunto más amplio de instrucciones

	<b>CISC</b>	<b>RISC</b>
1	Complex instructions taking multiple cycles	Simple instructions taking 1 cycle
2	Any instruction may reference memory	Only LOADS/STORES reference memory
3	Not pipelined or less pipelined	Highly pipelined
4	Instructions interpreted by the microprogram	Instructions executed by the hardware
5	Variable format instructions	Fixed format instructions
6	Many instructions and modes	Few instructions and modes
7	Complexity in the microprogram	Complexity is in the compiler
8	Single register set	Multiple register sets

Source:

[www.egr.msu.edu/classes/ece482/Teams/97fall/xdesign2/arm/andy.doc](http://www.egr.msu.edu/classes/ece482/Teams/97fall/xdesign2/arm/andy.doc)

## MEMORIA CACHE



A medida que avanzan las tecnologías de los procesadores, su velocidad de acceso y transferencia se va incrementando de manera considerable, cada vez es mayor la transferencia Memoria de Acceso Aleatorio o Random Access Memory (RAM) y la Unidad Central de Proceso (CPU); ante esto se han planteado nuevas soluciones, una es incrementar la velocidad de la RAM y otra, quizá la más óptima, haber agregado un componente a las computadoras y que en este caso se le conoce, como memoria Caché. Es una memoria situada entre el microprocesador y la RAM, dado que ésta no es lo suficiente rápida para almacenar y transmitir los datos que el microprocesador necesita recibir casi instantáneamente.

La memoria caché es una clase de memoria RAM estática (SRAM) de acceso aleatorio y alta velocidad, situada entre el CPU y la RAM; se presenta de forma temporal y automática con lo que proporciona acceso rápido a los datos de uso frecuente.

La ubicación de la caché entre el procesador y la RAM, hace que sea suficientemente rápida para almacenar y transmitir los datos que el microprocesador necesita recibir casi instantáneamente. La memoria caché es 5 ó 6 veces más rápida que la DRAM (RAM dinámica), por eso su capacidad es mucho menor.

La utilización de la memoria caché se describe a continuación:

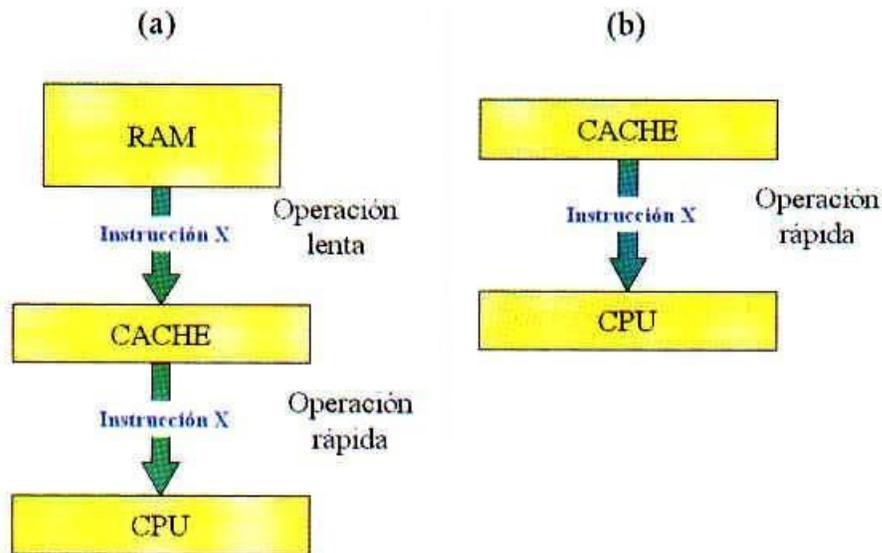
- Acelerar el procesamiento de las instrucciones de memoria en la CPU.
- Las computadoras tienden a utilizar las mismas instrucciones y (en menor medida), los mismos datos repetidamente, por ello la caché contiene las instrucciones más utilizadas.

## Funcionamiento de la memoria caché

La memoria caché se carga desde la RAM con los datos y/o instrucciones que ha buscado la CPU en las últimas operaciones. La CPU siempre busca primero la información en la caché, lo normal es que va encontrar ahí la mayoría de las veces, con lo que el acceso será muy rápido. Pero si no encuentra la información en la caché, se pierde tiempo en acudir a la RAM y copiar dicha información en la caché para su disponibilidad.

Como estos fallos ocurren con una frecuencia relativamente baja, el rendimiento mejora considerablemente, ya que la CPU accede más veces a la caché que a la RAM.

En el siguiente diagrama se describe un proceso cuando la CPU requiere operación de lectura de una instrucción, para ello se presentan dos casos:



a) El dato buscado no está en la memoria caché y debe buscarla en la memoria principal, esta es una operación lenta b) si la encuentra en el caché es una operación rápida

La cantidad de memoria caché en una computadora que disponga de esta memoria es bastante menor que la cantidad de memoria principal (no caché).